

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 2001-217692

(43) Date of publication of application : 10.08.2001

(51) Int.Cl.

H03K 5/08

G01R 19/165

H03K 19/094

(21) Application number : 2000-020810 (71) Applicant : TOSHIBA CORP

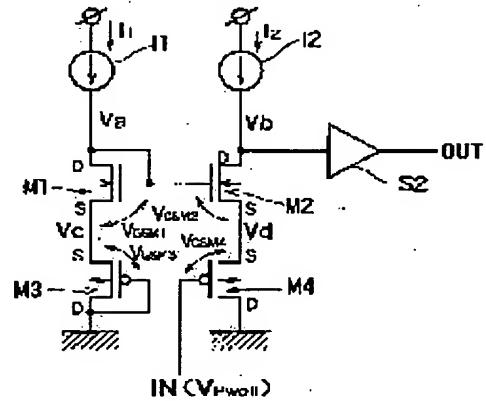
(22) Date of filing : 28.01.2000 (72) Inventor : FUJITA TETSUYA

(54) VOLTAGE COMPARING CIRCUIT AND SUBSTRATE BIAS ADJUSTING CIRCUIT USING THE SAME

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a voltage comparing means, which can accurately compare voltages, specially, close to a ground potential and a source voltage, without requiring a level converting means nor plural power sources.

SOLUTION: This circuit is equipped with a pair of 1st and 2nd MOS transistors (M1 and M2, and M1 and M12) of one conduction type, which have their gates connected in common and their drains connected to a 1st power source potential through current source supplying the same currents and also having the same gate width and gate lengths, 3rd MOS transistors (M3, M13) of the reverse conduction type, which have their drains connected to a 2nd power source potential and their sources connected to the sources of the 1st MOS transistors, and 4-th MOS transistors (M4, M14) of the reverse conduction type which have their drains connected to the 2nd power source potential and have their sources connected to the sources of the 2nd MOS transistors and the same gate width and gate length with the 3rd MOS transistors. The drains and gates of the 1st MOS transistors are connected, a comparison reference potential is supplied to the gates of the 3rd MOS transistors, and an input signal is supplied to the gates of the 4-th MOS transistors, so that an output signal is led out of the drain of the 2nd MOS transistor.



*** NOTICES ***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] It has the 4th MOS transistor of a reverse conductivity type characterized by comprising the following, Between drain gates of said 1st MOS transistor is connected, and comparison reference potential is given to a gate of said 3rd MOS transistor, A voltage comparator circuit, wherein an input signal is given to a gate of said 4th MOS transistor and an output signal is taken out from a drain of said 2nd MOS transistor.

The 1st and 2nd MOS transistors of one conductivity type which makes a pair that common connection of the gate is carried out, and a drain is connected to the 1st power supply potential via a current source which sends the respectively same current, and have same gate width and gate length.

The 3rd MOS transistor of a reverse conductivity type by which a drain was connected to the 2nd power supply potential, and sauce was connected to sauce of said 1st MOS transistor.

A drain is connected to said 2nd power supply potential, sauce is connected to sauce of said 2nd MOS transistor, and they are the same gate width as said 3rd MOS transistor, and gate length.

[Claim 2] The voltage comparator circuit according to claim 1 where said one conductivity type is characterized by a P channel type and the 1st power supply potential being [high-voltage-power potential and the 2nd power supply potential of an N channel type and said reverse conductivity type] earth potentials.

[Claim 3] The voltage comparator circuit according to claim 2, wherein said comparison reference potential is earth potentials and said input signal is P well potential.

[Claim 4] The voltage comparator circuit according to claim 1 where said one conductivity type is characterized by an N channel type and the 1st power supply potential being [earth potentials and the 2nd power supply potential of a P channel type and said reverse conductivity type] high-voltage-power potential.

[Claim 5] The voltage comparator circuit according to claim 4, wherein said comparison

reference potential is high-voltage-power potential and said input signal is N well potential.
[Claim 6]A voltage comparator circuit given in either of claims 1, 2, and 4, wherein a buffer is further connected to a drain of said 2nd MOS transistor.

[Claim 7]A voltage comparator circuit given in either of claims 1, 2, and 4, wherein a differential amplifier which compares voltage in a drain of said 1st MOS transistor and a drain of said 2nd MOS transistor is connected further.

[Claim 8]A board bias equalization circuit comprising:

- A circuit means which detects that P well potential is higher than earth potentials, and generates a signal.

A circuit means which short-circuits between P well potential and earth potentials based on the signal, and returns P well potential to earth potentials promptly.

[Claim 9]A board bias equalization circuit comprising:

A circuit means which detects that N well potential is lower than power supply potential, and generates a signal.

A circuit means which short-circuits between N well potential and power supply potential based on the signal, and returns N well potential to power supply potential promptly.

[Translation done.]

*** NOTICES ***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]**[0001]**

[Field of the Invention] In this invention, it is related with the voltage comparator circuit in a CMOS semiconductor integrated circuit.

Therefore, it is related with the voltage comparator circuit near the power supply potential near [which uses for detecting whether the abnormalities that bias of the PN junction between the source substrates of a CMOS semiconductor integrated circuit is carried out to a forward direction especially in control of substrate potential have occurred] the earth potentials.

[0002]

[Description of the Prior Art] Conventionally, the MOS differential amplifying circuit well used for a voltage comparison is shown in drawing 7.

[0003] Common connection of the source is carried out and one pair of N-channel metal oxide semiconductor transistors (it is called an NMOS transistor for short below) M101 and M102 are grounded via the current source I100. The input terminal IN is connected to the gate of NMOS transistor M101, and signal V_{IN} is inputted. Input terminal INN is connected to the gate of NMOS transistor M102, and signal V_{INN} of an opposite phase is inputted in the input terminal IN. One end of the resistance R101 is connected to the node a of the drain of NMOS transistor M101, and the other end is connected to the power supply VDD. One end of the resistance R102 is connected to the node b of the drain of NMOS transistor M102, and the other end is connected to the power supply VDD. An output connects the input terminal of the buffer S1 to the node a, and a signal is taken out by the output terminal OUT. In input terminal INN, it is ** instead of signal V_{INN} . The reference voltage V_{ref} for pressure comparison may be impressed.

[0004] A difference arises according to potential difference with the input terminals IN and INN in NMOS transistor M101, each voltage between gate source V_{GS_M101} of M102, and

$V_{GS-M102}$ as the principle of operation of the differential amplifying circuit of this composition is known well, The ratio by which the current I_{100} supplied from the current source I_{100} is divided into NMOS transistors M101 and M102, That is, a difference appears in drain current I_{D-M101} of NMOS transistor M101, and drain current I_{D-M102} of NMOS transistor M102. These relations are expressed as follows.

[0005]

$$I_{D-M101} = k(V_{GS-M101} - V_{th})^2 \text{ -- Formula 1 } I_{D-M102} = k(V_{GS-M102} - V_{th})^2 \text{ -- The formula 2.}$$

$I_{D-M101} + I_{D-M102} = I_{100}$ -- the formula 3 -- here, V_{th} is the threshold voltage of a MOS transistor. the coefficient k is defined by gate width W, gate length L, gate capacitance C_{OX} , and electron transfer degree μ_n in Si by the following formula It is **.

[0006]

$k = 1/2 \text{micro}_n C_{OX} W/L$ -- a four or more-formula formula. It is the following formula which drew drain current I_{D-M101} and I_{D-M102} from the difference of NMOS transistor M101, voltage between gate sauce $V_{GS-M101}$ of M102, and $V_{GS-M102}$ on the basis.

[0007]

$$I_{D-M101} = I_{100} / 2 + k(V_{GS-M101} - V_{GS-M102}) / 2\sqrt{2I_{100}/k - (V_{GS-M101} - V_{GS-M102})^2}$$

$$\text{-- Formula 5 } I_{D-M102} = I_{100} / 2 - k(V_{GS-M101} - V_{GS-M102}) / 2\sqrt{2I_{100}/k - (V_{GS-M101} - V_{GS-M102})^2}$$

-- Voltage is taken out to the output terminal OUT via the buffer S1 of the voltage Va of the node a produced when current I_{D-M101} flows through the formula 6 resistance R101. The voltage Va of the node a is expressed like a following formula.

[0008]

$$Va = VDD - I_{D-M101} R_{101} \text{ -- Formula 7[0009]}$$

[Problem(s) to be Solved by the Invention]The range of the voltage which can compare this conventional circuit is from about 0v to power supply voltage. When the reference potential Vref for a voltage comparison tended to be made into 0V or power supply voltage and it was going to use for the voltage comparison earth potentials and near the power supply potential, there was a problem. Although the source potential cannot fall or more [0] by V since NMOS transistor M101 and the sauce of M102 are connected to earth potentials via the current source when the reference potential Vref is set to 0V and the input terminal IN is made into about [0V] voltage, If reference potential Vref=0V is impressed to input terminal INN Voltage $V_{GS-M102}$ between gate sauce of NMOS transistor M102 is *****. Below pressure becomes, and it will always turn off and will stop operating. Reference potential Vref Since NMOS transistor M101 and the source potential of M102 also become high when it is considered as power supply potential and the input terminal IN is made into the

voltage near the power supply voltage, It will take restriction the amplitude of the voltage V_a of the node a which is a drain of NMOS transistor M101, and a buffer becomes difficult to receive a signal.

[0010]Therefore, when performing the voltage comparison of voltage lower than earth potentials, the differential amplifying circuit shown in drawing 8 is used conventionally. The voltage which adds a level shift circuit and is impressed to NMOS transistor M111 and the gate of M112 is changed. One end of the resistance R121 is connected to the input terminal IN, and the other end is connected to the gate of the constant current source I121 and NMOS transistor M111. One end of the resistance R122 is connected to input terminal INN, and the other end is connected to the gate of the constant current source I122 and NMOS transistor M112. The voltage of the resistance R121 or the other end of R122 shifts only fixed voltage to the input terminal IN or INN by always passing fixed current I_{121} and I_{122} to the resistance R121 and R122. about [which is the range of the voltage with which NMOS transistor M111 and the gate potential of M112 can compare the conventional circuit even when this performs the voltage comparison of voltage lower than earth potentials] -- it can be made power supply voltage from 0V. However, there is a problem also in this method. It is that the consumed electric current increases since current I_{121} and I_{122} which are passed to a level shift circuit are required, and that the current flows into an input terminal. In the case of the voltage comparator circuit used for detection of substrate potential, that such current flows into a substrate through an input terminal wants to avoid as much as possible. This is because the burden of the part of the current which used the appearance and flowed into the substrate of a board bias generation circuit increases and it leads to the increase in power consumption.

[0011]Although how to change into negative potential the earth potentials to which the current source I100 of the differential amplifying circuit shown in drawing 7 is connected, and extend the range of the input voltage which can be compared is also considered, there is a problem that power supply voltage is independently needed in this method.

[0012]In addition, there is also an easy circuit as shown in drawing 9 from the former. Earth potentials are connected to the source of NMOS transistor M130, the end of the resistance R130 and the input terminal of the buffer S1 are connected to a drain, and the input terminal IN is connected to a gate. The power supply potential VDD is connected to the other end of the resistance R130, and the output terminal OUT is connected to the output terminal of the buffer S1. According to this composition, if voltage V_{IN} of the input terminal IN is higher than the threshold voltage of NMOS transistor M130, and that drain current will flow through the resistance R130, [NMOS transistor M130] Since the voltage of the input terminal of the buffer S1 changes with them low, the signal of the output terminal OUT changes from a low level high-level. It becomes.

[0013]Thus, it cannot be detected as in this composition, it not being voltage a little higher than earth potentials, since the voltage which has been a comparative standard is the

threshold voltage of NMOS transistor M130, and also there is a problem of being easy to receive the variation in a device and the influence of temperature.

[0014]It was made in order that this invention might solve the above problems, and it aims at providing the voltage comparator circuit which can perform an exact voltage comparison with earth potentials or power supply potential simple.

[0015]

[Means for Solving the Problem]The 1st and 2nd MOS transistors of one conductivity type which makes a pair that according to this invention common connection of the gate is carried out, and a drain is connected to the 1st power supply potential via a current source which sends the respectively same current, and have same gate width and gate length, The 3rd MOS transistor of a reverse conductivity type by which a drain was connected to the 2nd power supply potential, and source was connected to source of said 1st MOS transistor, A drain is connected to said 2nd power supply potential, and source is connected to source of said 2nd MOS transistor, It has the same gate width as said 3rd MOS transistor, and the 4th MOS transistor of a reverse conductivity type which has gate length, Between drain gates of said 1st MOS transistor is connected, and comparison reference potential is given to a gate of said 3rd MOS transistor, An input signal is given to a gate of said 4th MOS transistor, and a voltage comparator circuit, wherein an output signal is taken out from a drain of said 2nd MOS transistor is provided.

[0016]Said one conductivity type is good in the 1st power supply potential being able to consider it as high-voltage-power potential by the ability of an N channel type and said reverse conductivity type to consider it as a P channel type, the 2nd power supply potential being able to consider it as earth potentials, said comparison reference potential being earth potentials, and said input signal being P well potential in this case.

[0017]On the other hand, said one conductivity type is good in the 1st power supply potential being able to consider it as earth potentials by the ability of a P channel type and said reverse conductivity type to consider it as an N channel type, the 2nd power supply potential being able to consider it as high-voltage-power potential, said comparison reference potential being source potential of high tension, and said input signal being N well potential in this case.

[0018]In the above composition, there is the feature that a highly precise voltage comparison becomes possible, without needing a level conversion means and two or more power supplies.

[0019]It is preferred that a differential amplifier which compares voltage in a drain of said 1st MOS transistor and a drain of said 2nd MOS transistor is connected further.

[0020]With this composition, since a difference of the characteristic between elements by dispersion and a temperature change in a manufacturing process can be erased among them in addition to the feature mentioned above, a higher-precision voltage comparison can be performed.

[0021]Furthermore, according to this invention, when a signal which shows that board bias

given to a board bias object from a voltage comparator circuit mentioned above and this voltage comparator circuit differs from a reference value was generated, it had a circuit which coincides substrate bias voltage with normal values compulsorily based on this signal.

[0022]A circuit means which according to this invention detects that P well potential is higher than earth potentials, and generates a signal, A circuit means which detects that a board bias equalization circuit and N well potential provided with a circuit means which short-circuits between P well potential and earth potentials based on the signal, and returns P well potential to earth potentials promptly are lower than power supply potential, and generates a signal, A board bias equalization circuit provided with a circuit means which short-circuits between N well potential and power supply potential based on the signal, and returns N well potential to power supply potential promptly is provided.

[0023]

[Embodiment of the Invention]Hereafter, with reference to drawings, it explains about some of embodiments of the invention.

[0024]Drawing 1 is a circuit diagram showing a 1st embodiment of this invention, and this circuit is a circuit for detecting whether the state where the potential V_{pwell} of P well in the state where board bias was performed rises more than earth potentials has occurred.

[0025]The source of M3 and M4 of a PMOS transistor pair is connected to the source of M1 and M2 of an NMOS transistor pair to which common connection of the gate was carried out, respectively. The drain of M3 and M4 of these PMOS transistor pair is grounded. It is connected to the drain of M1 and M2 of an NMOS transistor pair via the current sources I₁ and I₂ at the power supply, respectively. Between the gate and the drain is connected with the transistors M1 and M3.

[0026]The gate of the transistor M4 serves as an input terminal, and an output is taken out from the drain of the transistor M2 via the buffer S2.

[0027]M1 and M2 of an NMOS transistor pair have gate length and equal gate width, and gate length and gate width are formed also M3 and M4 of the PMOS transistor pair equally similarly.

[0028]When the current sources I₁ and I₂ are set as the same current I at this time and the voltage V_{pwell} of the input signal IN is in the same potential as grounding, i.e., 0V, the nodes a and b and the nodes c and d are balanced on the respectively same voltage.

[0029]The potential V_c of the node c at this time serves as voltage V_{GS-M3} between gate source of MOS transistor M3, and is expressed with the following formula.

[0030]

[Equation 1]

$$V_{thp} + \sqrt{\frac{I_1}{k}}$$

…式8

On the other hand, the potential V_a of the node a serves as voltage V_{GS-M1} between gate source of MOS transistor M1, and is expressed with the following formula.

[0031]

[Equation 2]

$$V_{thN} + V_{thp} + 2\sqrt{\frac{I_1}{k}} \quad \cdots \text{式9}$$

Next, the voltage V_d of the node d and the voltage V_b of the node b are considered under the conditions that current I_1 and current I_2 are equal, the same way. If the state where the input signal IN is 0V similarly is assumed, it is the potential V_d of the node d. [Equation 3]

$$V_d = V_{GS-M4} = V_{thp} + \sqrt{\frac{I_2}{k}} \quad \cdots \text{式10}$$

If the formula 8 is compared with the formula 10 and it will be considered as $I_1 = I_2$, since the right-hand side is completely the same, it becomes $V_c = V_d$.

[0032] Potential V_b of the node b [Equation 4]

$$V_b = V_{GS-M2} + V_d = V_{thn} + V_{thp} + 2\sqrt{\frac{I_2}{k}} \quad \cdots \text{式11}$$

It comes out, it is expressed, and if the formula (9) and (11) is compared and it will be considered as $I_1 = I_2$, since the right-hand side is completely the same, it becomes $V_a = V_b$.

[0033] Next, a state where the potential V_{pwell} of an input signal is slightly higher than 0V is considered.

[0034] At this time, it is the potential of the node d. [Equation 5]

$$V_d = V_{GS-M4} = V_{thp} + \sqrt{\frac{I_2}{k}} + V_{pwell} \quad \cdots \text{式12}$$

It is alike and tries to become. However, since the gate potential of NMOS transistor M2 is determined by the potential V_a of the node a, Since voltage V_{GS-M2} between gate source of NMOS transistor M2 will become small relatively if the potential of the node d goes up, the current which flows through N MOS transistor M2 and PMOS transistor M4 is rubbed with I_x . The current of **** will decrease.

[0035] At this time [Equation 6]

$$V_{GS-M2} = V_a - V_d = V_{thn} + \sqrt{\frac{I_x}{k}} \quad \cdots \text{式13}$$

$$V_{GS-M4} = V_d - V_{pwell} = V_{thp} + \sqrt{\frac{I_x}{k}} \quad \cdots \text{式14}$$

It becomes. Since the relation between current I_2 which the current source I2 supplies, and the current I_x which MOS transistors M2 and M4 consume serves as $I_2 > I_x$ at the time of $V_{pwell} > 0V$, the potential V_b of the node b rises to power supply voltage. Although the buffer S2 receives the voltage of this node b, if the voltage V_b exceeds the circuit threshold of the buffer S2, the output signal OUT will change from a low level high-level.

[0036] Next, a case where it is in a state where the potential V_{pwell} of an input signal is slightly lower than 0V is considered.

[0037]

[Equation 7]

ノードdの電位 V_d は式8より

$$V_d = V_{gs_m4} + V_{pwell} = V_{thp} + V_{thp} + \sqrt{\frac{I_x}{k}} \quad \dots \text{式15}$$

If a next door and the potential V_{pwell} fall, the potential V_d of the node d will also fall. However, V_d does not fall from 0V of the source potential of MOS transistor M4.

[0038] Since the gate potential of NMOS transistor M2 is determined by the potential V_a of the node a, Since voltage V_{GS-M2} between gate source of NMOS transistor M2 will become large relatively if the potential V_d of the node d falls, it is an N-channel metal oxide semiconductor. The current I_x which flows through the transistor M2 and PMOS transistor M4 increases. It carries out.

[0039] As a result, the relation between current I_2 which the current source I2 supplies, and MOS transistor M2 and the current I_x which M4 consume serves as $I_2 < I_x$ in $V_{pwell} < 0V$, and it is ** of the node b. The grade V_b will fall to the potential V_d of the node d.

[0040] When the voltage V_b of the node b falls rather than a circuit threshold of the buffer S2, the output signal OUT changes from high level to a low level.

[0041] Comparison of 0V can be performed with substrate potential as mentioned above.

[0042] In this embodiment, since a transistor which does not need to send current too much, does not need to be provided with two or more current sources, and becomes a pair is formed at the same process, there is also little influence of a process variation etc.

[0043] Although this circuit detected potential of P well, it becomes possible by replacing an easy element to detect potential of N well.

[0044] Drawing 2 is a circuit diagram showing composition for detecting such N well potential.

[0045] Source of M13 and M14 of an NMOS transistor pair is connected to source of M11 and M12 of a PMOS transistor pair to which common connection of the gate was carried out, respectively. A drain of M13 and M14 of these NMOS transistor pair is connected to a power supply. A drain of M11 and M12 of a PMOS transistor pair is grounded via the

current sources I11 and I12, respectively. Between a gate and a drain is connected with the transistors M11 and M13.

[0046]A gate of NMOS transistor M14 serves as an input terminal, N well potential (VNwell) which is an input signal is supplied, and an output is taken out from a drain of PMOS transistor M12 via buffer S 1. M11 and M12 of a P channel MOS transistor pair have gate length and equal gate width, and gate length and gate width are formed also M13 and M14 of an NMOS transistor pair equally similarly also here.

[0047]Since this circuit makes reverse a conductivity type of each transistor in drawing 1 and a power supply and grounding are replaced, Drawing 3 which detects that are the same as that of drawing 1 as operation, compare N well potential and power supply potential which are input potentials, and N well potential is falling rather than power supply potential is a circuit diagram showing composition of a comparison circuit concerning a 2nd embodiment of this invention.

[0048]This embodiment raises further accuracy in an embodiment shown in drawing 1. That is, in composition shown in drawing 1, although comparison operations cannot be easily influenced by a process variation, the potential of the node b itself may be changed in response to influence of dispersion in a manufacturing process, or a temperature change. In this case, since voltage judged as the potential Vpwell of P well being equal to 0V will shift if it judges with a circuit threshold of the buffer S2 which receives a signal of the node b, accuracy is not necessarily enough.

[0049]In a circuit shown in drawing 3, as the differential amplifier S3 compares voltage in the node a and the node b, influence of dispersion in a manufacturing process or a temperature change is negated.

[0050]By this, as a formula (8) - a formula (11) explained, it can detect that it is $V_b = V_a$ at the time of $V_{pwell} = 0V$ using a differential amplifier, and improvement in accuracy can be aimed at rather than a 1st embodiment.

[0051]Drawing 4 is a circuit diagram showing an example which transformed composition of drawing 3 into N well detection. In the same comparison circuit as a case of drawing 2, this is the thing it was made to compare voltage in the node a and the node b with the differential amplifier S3, and can aim at improvement in accuracy like a case of drawing 3.

[0052]In the above drawing 1 - composition of drawing 4, although earth potentials and power supply potential are assumed as comparison reference voltage, arbitrary voltage can be used as comparison reference voltage, without restricting to these.

[0053]The same effect is acquired even if it transposes the current source I1 and I2 to a resistance pair of the same resistance.

[0054]Drawing 5 is a block diagram showing outline composition of a board bias equalization circuit concerning a 3rd embodiment of this invention.

[0055]As shown in drawing 5, generally bias is applied by the charge pump circuit 13 to the circuit 10 for board bias, but. The voltage comparator circuit 11 shown in drawing 1 and drawing 3 compares whether P well potential is higher than earth potentials (0V) which are

the source potential of an N-channel metal oxide semiconductor transistor. As a result, when judged with P well potential being higher than earth potentials, the emergency bias circuit 12 is operated, and he is trying to reduce bias voltage of a substrate compulsorily to earth potentials.

[0056] Drawing 6 is a block diagram showing outline composition of the same board bias equalization circuit as drawing 5. In this figure, board bias given by the charge pump circuit 23 to the circuit 20 for board bias serves as voltage more than the power supply potential VDD, It is compared whether N well potential is lower than power supply potential (VDD) which is the source potential of a P channel MOS transistor in the voltage comparator circuit 21 shown in drawing 2 and drawing 4, As a result, when judged with N well potential being lower than power supply potential, the emergency bias circuit 22 is operated, and he is trying to pull up bias voltage of a substrate compulsorily to power supply potential at earth potentials.

[0057] The emergency bias circuit in these drawing 5 and drawing 6 can use every publicly known potential reduction means or a raising means.

[0058]

[Effect of the Invention] As mentioned above, according to the voltage comparator circuit concerning this invention, earth potentials and the voltage near the power supply potential can be compared especially correctly, without using a level conversion means and two or more power supplies.

[0059] In the gestalt it was made to compare the voltage in an output node and the corresponding node of a transistor which makes a pair with a differential amplifier, the influence of manufacture dispersion of a device or a temperature change other than the effect mentioned above is negated, and a highly precise comparison is attained.

[0060] In the bias adjustment circuit concerning this invention. Since he is trying to make it compulsorily in agreement with normal values when judged with board bias having normal values and a difference based on the output of the voltage comparator circuit mentioned above, an always normal board bias value can be maintained and stabilization of circuit operation can be attained.

[Translation done.]

*** NOTICES ***

JP0 and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1]It is a circuit diagram showing the composition of the voltage comparator circuit concerning a 1st embodiment of this invention.

[Drawing 2]It is a circuit diagram showing the composition which reversed the conductivity type and voltage relations of the transistor in the composition of drawing 1.

[Drawing 3]It is a circuit diagram showing the composition of the voltage comparator circuit concerning a 2nd embodiment of this invention.

[Drawing 4]It is a circuit diagram showing the composition which reversed the conductivity type and voltage relations of the transistor in the composition of drawing 3.

[Drawing 5]It is a block diagram showing the composition of the bias adjustment circuit concerning this invention using the voltage comparator circuit concerning this invention.

[Drawing 6]It is the same circuit as drawing 5, and is a block diagram showing the case where board bias is performed on the basis of power supply potential.

[Drawing 7]It is a circuit diagram showing the example of the voltage comparator circuit accompanied by the conventional level conversion.

[Drawing 8]It is a circuit diagram showing the example of the voltage comparator circuit using two or more conventional power supplies.

[Drawing 9]It is a circuit diagram showing the example of the voltage comparator circuit using the conventional threshold.

[Description of Notations]

10, 20 board-bias object circuits

11 and 21 Voltage comparator circuit

12 and 22 Emergency bias circuit

13, 23 charge pump circuits

I1, I2, I11, and I12 Current source

I100, I110, I121, and I122 Constant current source

M1, M2, M13, M14, M101, M102, M111, M112, M130 N-channel-metal-oxide-semiconductor transistor

M3, M4, M11, M12 P-channel-MOS transistor
R101, R102, R111, R112, R121, R122, and R130 Resistance
S1 and S2 Buffer
S3 Differential amplifier
IN Input terminal
Vref reference voltage
OUT Output terminal

[Translation done.]

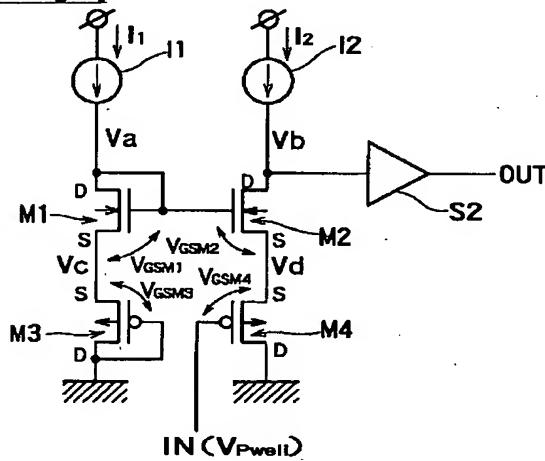
* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

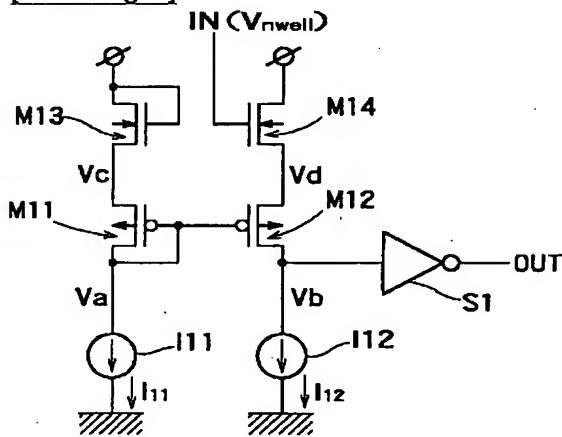
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

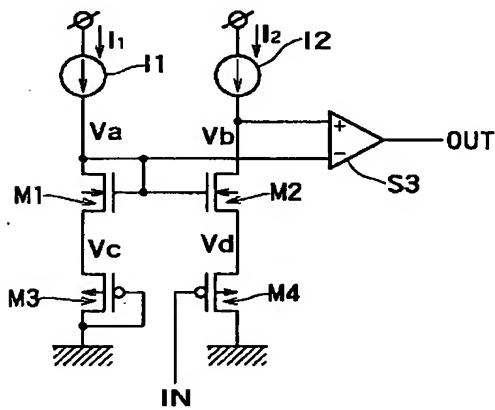
[Drawing 1]



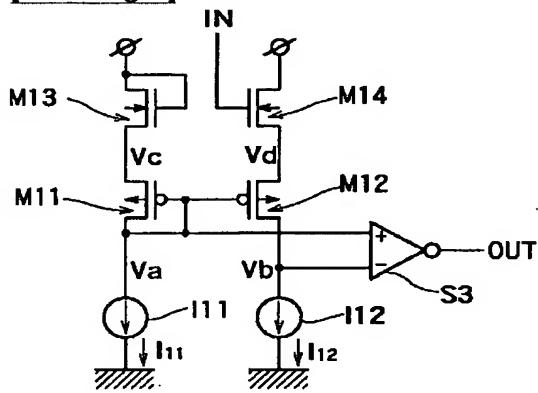
[Drawing 2]



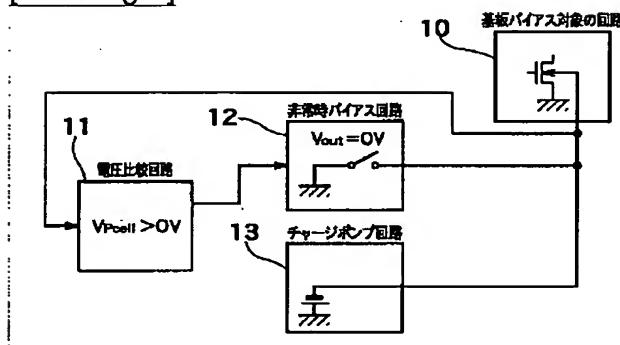
[Drawing 3]



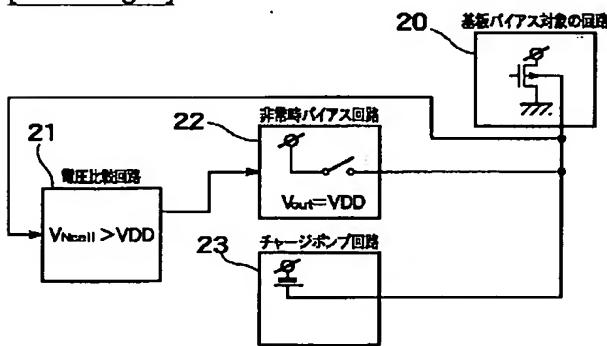
[Drawing 4]



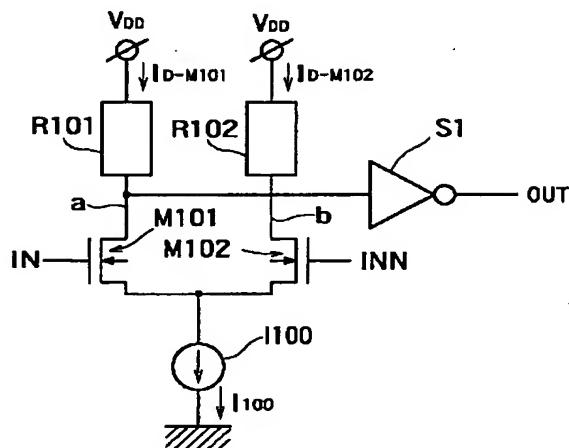
[Drawing 5]



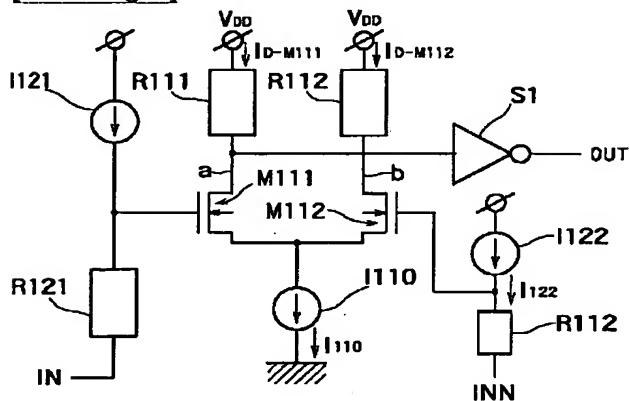
[Drawing 6]



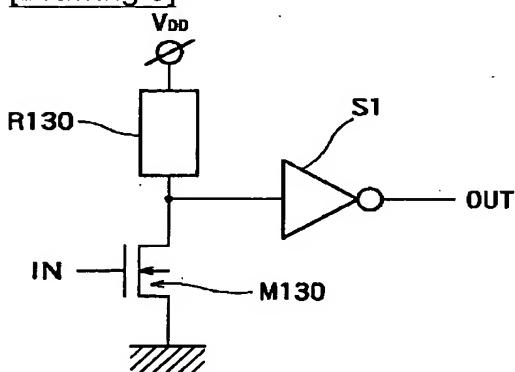
[Drawing 7]



[Drawing 8]



[Drawing 9]



[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報(A)

(11)特許出願公開番号

特調2001-217692

(P2001-217692A)

(43)公開日 平成13年8月10日(2001.8.10)

(51) Int.Cl.⁷
H 03 K 5/08
G 01 R 19/165
H 03 K 19/094

識別記号

F I
H 0 3 K 5/08
C 0 1 R 19/165
H 0 3 K 19/094

データコード*(参考)
2G036
5J039
5J056

審査請求 未請求 請求項の数9 OL (全 9 頁)

(21)出願番号 特願2000-20810(P2000-20810)

(22) 田嶺日 平成12年1月28日(2000.1.28)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72 竜地

(72) 発明者 藤田哲也

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝マイクロエレクトロニクスセン
ター内

(74) 代理人 100064285

弁理士 佐藤 一雄 (外3名)

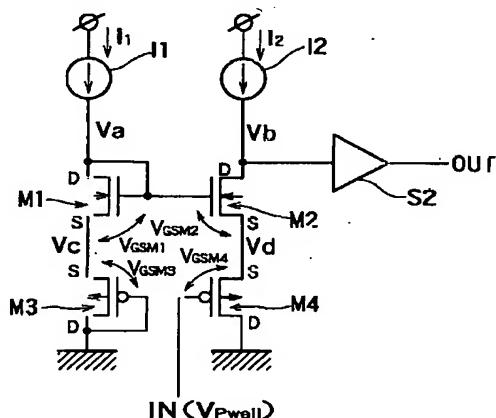
最終頁に続く

(54) 【発明の名称】 電圧比較回路およびこれを用いた基板バイアス調整回路

(57)【要約】

【課題】 レベル変換手段や複数の電源を必要とせず、特に接地電位や電源電位近傍の電圧を正確に比較できる電圧比較手段を提供する。

【解決手段】 ゲートが共通接続され、ドレインがそれぞれ同じ電流を流す電流源を介して第1の電源電位に接続され、同じゲート幅とゲート長を有する、対をなす第1および一導電型の第2のMOSトランジスタ（M1、M2:M11、M12）と、ドレインが第2の電源電位に接続され、第1のMOSトランジスタのソースにソースが接続された逆導電型の第3のMOSトランジスタ（M3、M13）と、ドレインが第2の電源電位に接続され、第2のMOSトランジスタのソースにソースが接続され、第3のMOSトランジスタと同じゲート幅とゲート長を有する逆導電型の第4のMOSトランジスタ（M4、M14）とを備え、第1のMOSトランジスタのドレイン・ゲート間が接続され、第3のMOSトランジスタのゲートに比較参照電位が与えられ、第4のMOSトランジスタのゲートに入力信号が与えられ、前記第2のMOSトランジスタのドレインから出力信号が取り出される。



【特許請求の範囲】

【請求項1】ゲートが共通接続され、ドレインがそれぞれ同じ電流を流す電流源を介して第1の電源電位に接続され、同じゲート幅とゲート長を有する、対をなす一導電型の第1および第2のMOSトランジスタと、ドレインが第2の電源電位に接続され、前記第1のMOSトランジスタのソースにソースが接続された逆導電型の第3のMOSトランジスタと、

ドレインが前記第2の電源電位に接続され、前記第2のMOSトランジスタのソースにソースが接続され、前記第3のMOSトランジスタと同じゲート幅とゲート長を有する逆導電型の第4のMOSトランジスタとを備え、前記第1のMOSトランジスタのドレイン・ゲート間が接続され、前記第3のMOSトランジスタのゲートに比較参照電位が与えられ、

前記第4のMOSトランジスタのゲートに入力信号が与えられ、前記第2のMOSトランジスタのドレインから出力信号が取り出されることを特徴とする電圧比較回路。

【請求項2】前記一導電型がNチャネル型、前記逆導電型がPチャネル型、第1の電源電位が高電圧電源電位、第2の電源電位が接地電位であることを特徴とする請求項1に記載の電圧比較回路。

【請求項3】前記比較参照電位が接地電位、前記入力信号がPウェル電位であることを特徴とする請求項2に記載の電圧比較回路。

【請求項4】前記一導電型がPチャネル型、前記逆導電型がNチャネル型、第1の電源電位が接地電位、第2の電源電位が高電圧電源電位であることを特徴とする請求項1に記載の電圧比較回路。

【請求項5】前記比較参照電位が高電圧電源電位、前記入力信号がNウェル電位であることを特徴とする請求項4に記載の電圧比較回路。

【請求項6】前記第2のMOSトランジスタのドレインにバッファがさらに接続されたことを特徴とする請求項1、2、4のいずれかに記載の電圧比較回路。

【請求項7】前記第1のMOSトランジスタのドレインおよび前記第2のMOSトランジスタのドレインにおける電圧を比較する差動增幅器がさらに接続されたことを特徴とする請求項1、2、4のいずれかに記載の電圧比較回路。

【請求項8】Pウェル電位が接地電位よりも高いことを検出して信号を発生する回路手段と、その信号に基づいてPウェル電位と接地電位との間を短絡してPウェル電位を速やかに接地電位に戻す回路手段とを備えた基板バイアス調整回路。

【特許請求の範囲】

【請求項9】Nウェル電位が電源電位よりも低いことを検出して信号を発生する回路手段と、その信号に基づいてNウェル電位と電源電位との間を短絡してNウェル電位を速やかに電源電位に戻す回路手段とを備えた基板バイアス調整回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、CMOS半導体集積回路における電圧比較回路に関するもので、特に基板電位の制御においてCMOS半導体集積回路のソース・基板間のPN接合が順方向にバイアスされるような異常が発生していないかを検知するのに用いる接地電位近傍や電源電位近傍の電圧比較回路に関するものである。

【0002】

【従来の技術】従来、電圧比較によく用いられるMOS差動増幅回路を図7に示す。

【0003】1対のNチャネルMOSトランジスタ(以下NMOSトランジスタと略称する)M101, M102はソースが共通接続され、電流源I100を介して接地されている。NMOSトランジスタM101のゲートには入力端子INが接続されて信号V_{IN}が入力される。また、NMOSトランジスタM102のゲートには入力端子INNが接続され、入力端子INとは逆位相の信号V_{INN}が入力される。抵抗R101の一端はNMOSトランジスタM101のドレインのノードaに接続され、他端は電源VDDに接続されている。抵抗R102の一端はNMOSトランジスタM102のドレインのノードbに接続され、他端は電源VDDに接続されている。出力は、ノードaにバッファS1の入力端子を接続して出力端子OUTに信号を取り出される。なお、入力端子INNには信号V_{INN}の代わりに電圧比較のための基準電圧Vrefを印加してもよい。

【0004】この構成の差動増幅回路の動作原理はよく知られているように、入力端子INとINNとの電位差によってNMOSトランジスタM101, M102のそれぞれのゲート・ソース間電圧V_{Gs-M101}とV_{Gs-M102}に差が生じ、電流源I100から供給される電流I100がNMOSトランジスタM101とM102とに分かれる比率、すなわちNMOSトランジスタM101のドレイン電流I_{D-M101}とNMOSトランジスタM102のドレイン電流I_{D-M102}に差がでるようになっている。これらの関係は次のように表される。

【0005】

$$I_{D-M101} = k (V_{Gs-M101} - V_{th})^2 \quad \dots \text{式1}$$

$$I_{D-M102} = k (V_{Gs-M102} - V_{th})^2 \quad \dots \text{式2}$$

$$I_{D-M101} + I_{D-M102} = I_{100} \quad \dots \text{式3}$$

ここで、V_{th}はMOSトランジスタのしきい値電圧である。係数kはゲート幅Wやゲート長L、ゲート容量C

o_x、S_i中の電子の移動度μ_nで次式で定義されたものである。

【0006】

$$k = 1/(2\mu_n C_{ox} W/L) \quad \dots \text{式4}$$

以上の式を基にNMOSトランジスタM101, M102のゲート・ソース間電圧 $V_{GS-M101}$ と $V_{GS-M102}$

$$I_{D-M101} = I_{100}/2 + k(V_{GS-M101} - V_{GS-M102})/2 \\ \sqrt{2I_{100}/k - (V_{GS-M101} - V_{GS-M102})^2} \quad \dots \text{式5}$$

$$I_{D-M102} = I_{100}/2 - k(V_{GS-M101} - V_{GS-M102})/2 \\ \sqrt{2I_{100}/k - (V_{GS-M101} - V_{GS-M102})^2} \quad \dots \text{式6}$$

抵抗R101を電流 I_{D-M101} が流れることによつて生じるノードaの電圧 V_a のバッファS1を介して出力端子OUTに電圧を取り出す。ノードaの電圧 V_a は

$$V_a = VDD - I_{D-M101} R_{101} \quad \dots \text{式7}$$

【0009】

【発明が解決しようとする課題】この従来の回路は、比較可能な電圧の範囲が約0Vから電源電圧までである。電圧比較のための基準電位 V_{ref} を0Vもしくは電源電圧にして接地電位や電源電位近傍の電圧比較に用いようすると問題があった。基準電位 V_{ref} を0Vとし、入力端子INを0V近傍の電圧にした場合、NMOSトランジスタM101, M102のソースは電流源を介して接地電位に接続されているのでソース電位は0V以上下がれないのに、基準電位 $V_{ref}=0V$ を入力端子INNに印加するとNMOSトランジスタM102のゲート・ソース間電圧 $V_{GS-M102}$ がしきい値電圧以下となつて常にオフしてしまい動作しなくなってしまう。基準電位 V_{ref} を電源電位とし、入力端子INを電源電圧近傍の電圧にした場合、NMOSトランジスタM101, M102のソース電位も高くなるため、NMOSトランジスタM101のドレインであるノードaの電圧 V_a の振幅に制限がかることになりバッファで信号を受け難くなる。

【0010】そのため、接地電位よりも低い電圧同士の電圧比較を行う場合、従来は図8に示す差動增幅回路を用いる。レベルシフト回路を付加してNMOSトランジスタM111, M112のゲートに印加される電圧の変換を行う。抵抗R121の一端は入力端子INに接続され、他端は定電流源I121とNMOSトランジスタM111のゲートに接続される。また、抵抗R122の一端は入力端子INNに接続され、他端は定電流源I122とNMOSトランジスタM112のゲートに接続されている。常に一定の電流I121とI122を抵抗R121とR122に流すことにより抵抗R121やR122の他端の電圧は入力端子INやINNに対して一定電圧だけシフトする。これにより、接地電位よりも低い電圧同士の電圧比較を行う場合でもNMOSトランジスタM111, M112のゲート電位は従来の回路が比較可能な電圧の範囲である約0Vから電源電圧にすることができる。しかし、この方法にも問題がある。レベルシフ

M102の差からドレイン電流 I_{D-M101} と I_{D-M102} を導き出したものが次式である。

【0007】

$$I_{D-M101} = I_{100}/2 + k(V_{GS-M101} - V_{GS-M102})/2 \\ \sqrt{2I_{100}/k - (V_{GS-M101} - V_{GS-M102})^2} \quad \dots \text{式5}$$

$$I_{D-M102} = I_{100}/2 - k(V_{GS-M101} - V_{GS-M102})/2 \\ \sqrt{2I_{100}/k - (V_{GS-M101} - V_{GS-M102})^2} \quad \dots \text{式6}$$

次式のように表される。

【0008】

ト回路に流す電流 I_{121} と I_{122} が必要なため消費電流が増加することと、その電流が入力端子に流れてしまうことである。基板電位の検出に使用する電圧比較回路の場合、入力端子を通してこの様な電流が基板に流れ込むことは極力避けたい。理由は、その様にして基板に流れ込んだ電流の分だけ基板バイアス発生回路の負担が増え、消費電力の増加につながるからである。

【0011】図7に示した差動增幅回路の電流源I100が接続される接地電位を負電位に変更して比較可能な入力電圧の範囲を広げる方法も考えられるが、この方法には電源電圧が別に必要になるという問題がある。

【0012】この他に、図9に示すような簡単な回路も従来からある。NMOSトランジスタM130のソースには接地電位が接続され、ドレインには抵抗R130の一端とバッファS1の入力端子が接続され、ゲートには入力端子INが接続される。抵抗R130の他端には電源電位VDDが接続され、バッファS1の出力端子には出力端子OUTが接続される。この構成によれば、入力端子INの電圧 V_{IN} がNMOSトランジスタM130のしきい値電圧より高ければNMOSトランジスタM130がオンしてそのドレイン電流が抵抗R130を流れ、それによってバッファS1の入力端子の電圧が低く変化するので出力端子OUTの信号はロウレベルからハイレベルに変化することになる。

【0013】このように、この構成の場合は比較の基準になっている電圧がNMOSトランジスタM130のしきい値電圧であるために、接地電位よりも若干高い電圧でないと検知できない上、デバイスのバラツキや温度の影響を受け易いという問題がある。

【0014】本発明は以上の様な問題を解決するためになされたもので、接地電位や電源電位との正確な電圧比較を簡便に行うことができる電圧比較回路を提供することを目的とする。

【0015】

【課題を解決するための手段】本発明によれば、ゲートが共通接続され、ドレインがそれぞれ同じ電流を流す電

流源を介して第1の電源電位に接続され、同じゲート幅とゲート長を有する、対をなす一導電型の第1および第2のMOSトランジスタと、ドレインが第2の電源電位に接続され、前記第1のMOSトランジスタのソースにソースが接続された逆導電型の第3のMOSトランジスタと、ドレインが前記第2の電源電位に接続され、前記第2のMOSトランジスタのソースにソースが接続され、前記第3のMOSトランジスタと同じゲート幅とゲート長を有する逆導電型の第4のMOSトランジスタとを備え、前記第1のMOSトランジスタのドレイン・ゲート間が接続され、前記第3のMOSトランジスタのゲートに比較参照電位が与えられ、前記第4のMOSトランジスタのゲートに入力信号が与えられ、前記第2のMOSトランジスタのドレインから出力信号が取り出されることを特徴とする電圧比較回路が提供される。

【0016】前記一導電型がNチャネル型、前記逆導電型がPチャネル型、第1の電源電位が高電圧電源電位、第2の電源電位が接地電位とすることができる、この場合、前記比較参照電位が接地電位、前記入力信号がPウェル電位であると良い。

【0017】一方、前記一導電型がPチャネル型、前記逆導電型がNチャネル型、第1の電源電位が接地電位、第2の電源電位が高電圧電源電位とでき、この場合、前記比較参照電位が高電圧源電位、前記入力信号がNウェル電位であると良い。

【0018】以上の構成では、レベル変換手段や複数の電源を必要とせずに、高精度の電圧比較が可能となるという特徴がある。

【0019】前記第1のMOSトランジスタのドレインおよび前記第2のMOSトランジスタのドレインにおける電圧を比較する差動増幅器がさらに接続されることが好ましい。

【0020】この構成では前述した特徴に加えて製造プロセスにおけるばらつきや温度変化による素子間の特性の相違をうち消すことができるため、より精度の高い電圧比較を行うことができる。

【0021】さらに本発明によれば、上述した電圧比較回路と、この電圧比較回路から基板バイアス対象に与えられる基板バイアスが基準値と異なることを示す信号が発生されたとき、この信号に基づいて基板バイアス電圧を強制的に正常値に一致させる回路とを備えたことを特徴とする。

【0022】また、本発明によればPウェル電位が接地電位よりも高いことを検出して信号を発生する回路手段と、その信号に基づいてPウェル電位と接地電位との間を短絡してPウェル電位を速やかに接地電位に戻す回路手段とを備えた基板バイアス調整回路およびNウェル電位が電源電位よりも低いことを検出して信号を発生する回路手段と、その信号に基づいてNウェル電位と電源電位との間を短絡してNウェル電位を速やかに電源電位に

戻す回路手段とを備えた基板バイアス調整回路が提供される。

【0023】

【発明の実施の形態】以下、本発明の実施の形態のいくつかにつき、図面を参照して説明する。

【0024】図1は本発明の第1の実施の形態を示す回路図であり、この回路は基板バイアスが行われた状態のPウェルの電位 V_{pwell} が接地電位以上に上昇するような状態が発生していないかどうかを検出するための回路である。

【0025】ゲートが共通接続されたNMOSトランジスタ対のM1およびM2のソースにはそれぞれPMOSトランジスタ対のM3とM4のソースが接続されている。これらのPMOSトランジスタ対のM3とM4のドレインは接地されている。また、NMOSトランジスタ対のM1およびM2のドレインにはそれぞれ電流源I1およびI2を介して電源に接続されている。トランジスタM1とM3ではゲートとドレイン間が接続されている。

【0026】トランジスタM4のゲートは入力端子となっており、トランジスタM2のドレインからバッファ S_2 を介して出力が取り出される。

【0027】NMOSトランジスタ対のM1およびM2はゲート長およびゲート幅が等しく、PMOSトランジスタ対のM3およびM4も同様にゲート長およびゲート幅が等しく形成されている。

【0028】このとき、電流源I1とI2を同じ電流Iに設定すると、入力信号INの電圧 V_{pwell} が接地と同じ電位、すなわち0Vにあるとき、ノードaとb、ノードcとdとはそれぞれ同じ電圧で均衡する。

【0029】このときのノードcの電位 V_c はMOSトランジスタM3のゲート・ソース間電圧 $V_{G_S-M_3}$ となっており、次の式で表される。

【0030】

【数1】

$$V_{thp} + \sqrt{\frac{I_1}{k}} \quad \dots \text{式8}$$

一方、ノードaの電位 V_a はMOSトランジスタM1のゲート・ソース間電圧 $V_{G_S-M_1}$ となっており、次の式で表される。

【0031】

【数2】

$$V_{thN} + V_{thp} + 2\sqrt{\frac{I_1}{k}} \quad \dots \text{式9}$$

次に、同様に電流 I_1 と電流 I_2 が等しいという条件下でノードdの電圧 V_d とノードbの電圧 V_b を考える。同様に入力信号INが0Vの状態を想定すると、ノードdの電位 V_d は

【数3】

$$V_d = V_{gs_M4} = V_{thp} + \sqrt{\frac{I_2}{k}} \quad \cdots \text{式10}$$

で表され、式(9)と(11)とを比較すると $I_1 = I_2$ とすれば右辺が全く同じであるから $V_a = V_b$ となる。

【0033】次に、入力信号の電位 V_{pwell} が 0V より

$$V_d = V_{gs_M4} = V_{thp} + \sqrt{\frac{I_2}{k}} + V_{pwell} \quad \cdots \text{式12}$$

になろうとする。しかし、ノード a の電位 V_a によって NMOS ランジスタ M2 のゲート電位が決定されるために、ノード d の電位が上がれば NMOS ランジスタ M2 のゲート・ソース間電圧 V_{GS_M2} が相対的に小さくなるために N-MOS ランジスタ M2 と PM

$$V_{gs_M2} = V_a - V_d = V_{thn} + \sqrt{\frac{I_x}{k}} \quad \cdots \text{式13}$$

$$V_{gs_M4} = V_d - V_{pwell} = V_{thp} + \sqrt{\frac{I_x}{k}} \quad \cdots \text{式14}$$

となる。電流源 I2 の供給する電流 I_2 と MOS ランジスタ M2 および M4 が消費する電流 I_x との関係は $V_{pwell} > 0V$ のときは $I_2 > I_x$ となるから、ノード b の電位 V_b は電源電圧まで上昇する。このノード b の電圧はバッファ S2 で受けるが、電圧 V_b がバッファ S2 の回路しきい値を超えると出力信号 OUT はロウレベルかノード d の電位 V_d は式8より

$$V_d = V_{gs_M4} + V_{pwell} = V_{thp} + V_{thp} + \sqrt{\frac{I_x}{k}} \quad \cdots \text{式15}$$

となり、電位 V_{pwell} が低下すればノード d の電位 V_d も低下する。ただし、 V_d は MOS ランジスタ M4 のソース電位の 0V より下がることはない。

【0038】ノード a の電位 V_a によって NMOS ランジスタ M2 のゲート電位が決定されているために、ノード d の電位 V_d が低下すれば NMOS ランジスタ M2 のゲート・ソース間電圧 V_{GS_M2} が相対的に大きくなるために N チャネル MOS ランジスタ M2 と PMOS ランジスタ M4 を流れる電流 I_x は増加する。
【0039】この結果、電流源 I2 の供給する電流 I_2 と MOS ランジスタ M2, M4 が消費する電流 I_x との関係が $V_{pwell} < 0V$ においては $I_2 < I_x$ となりノード b の電位 V_b はノード d の電位 V_d まで低下することになる。

式8と式10とを比較すると $I_1 = I_2$ とすれば右辺が全く同じであるから $V_c = V_d$ となる。

【0032】また、ノード b の電位 V_b は
【数4】

$$V_b = V_{gs_M2} + V_d = V_{thm} + V_{thp} + 2\sqrt{\frac{I_2}{k}} \quad \cdots \text{式11}$$

もわずかに高い状態を考える。

【0034】このとき、ノード d の電位は

【数5】

OS ランジスタ M4 を流れる電流を I_x とすればこの電流は減少することになる。

【0035】このとき、

【数6】

らハイレベルに変化する。

【0036】次に入力信号の電位 V_{pwell} が 0V よりわずかに低い状態である場合を考える。

【0037】

【数7】

ノード b の電位 V_b はノード d の電位 V_d まで低下することになる。

【0040】ノード b の電圧 V_b がバッファ S2 の回路しきい値よりも低下した時点で出力信号 OUT はハイレベルからロウレベルに変化する。

【0041】以上のようにして基板電位と 0V の比較を行なうことができる。

【0042】この実施の形態においては、電流を余分に流したり、複数の電流源を備えたりする必要がなく、また対になるトランジスタは同一工程で形成されるため、プロセス変動等の影響も少ない。

【0043】この回路は P ウェルの電位を検出するもの

であったが、Nウェルの電位を検出することは簡単な素子の置き換えを行うことにより可能となる。

【0044】図2はそのようなNウェル電位を検出するための構成を示す回路図である。

【0045】ゲートが共通接続されたPMOSトランジスタ対のM11およびM12のソースにはそれぞれNMOSトランジスタ対のM13とM14のソースが接続されている。これらのNMOSトランジスタ対のM13とM14のドレインは電源に接続されている。また、PMOSトランジスタ対のM11およびM12のドレインはそれぞれ電流源I11およびI12を介して接地されている。トランジスタM11とM13ではゲートとドレン間が接続されている。

【0046】NMOSトランジスタM14のゲートは入力端子となっており、入力信号であるNウェル電位(V_{Nwell})が供給され、PMOSトランジスタM12のドレンからバッファS1を介して出力が取り出される。ここでもPチャネルMOSトランジスタ対のM11およびM12はゲート長およびゲート幅が等しく、NMOSトランジスタ対のM13およびM14も同様にゲート長およびゲート幅が等しく形成されている。

【0047】この回路は図1における各トランジスタの導電型を逆にし、電源と接地とを入れ替えたものであるので、動作としては図1と同様であり、入力電位であるNウェル電位と電源電位とを比較し、Nウェル電位が電源電位よりも低下していることを検出する図3は本発明の第2の実施の形態にかかる比較回路の構成を示す回路図である。

【0048】この実施の形態は図1に示した実施の形態における精度をさらに向上させたものである。すなわち、図1に示した構成では、比較動作はプロセス変動の影響を受けにくいものの、ノードbの電位自体は製造工程におけるばらつきや温度変化の影響を受けて変動することがある。この場合には、ノードbの信号を受けるバッファS2の回路しきい値で判定を行うとPウェルの電位V_{Pwell}が0Vに等しいと判定する電圧がずれてしまうため精度は必ずしも十分ではない。

【0049】図3に示す回路ではノードaおよびノードbにおける電圧を差動増幅器S3で比較するようにして製造工程におけるばらつきや温度変化の影響を打ち消している。

【0050】これにより、式(8)～式(11)によって説明したようにV_{Pwell}=0Vの時にV_b=V_aであることを差動増幅器を用いて検出することができ、第1の実施の形態よりも精度の向上を図ることができる。

【0051】図4は図3の構成をNウェル検出用に変形した例を示す回路図である。これは図2の場合と同様の比較回路において、ノードaおよびノードbにおける電圧を差動増幅器S3で比較するようにしたもので、図3の場合と同様、精度の向上を図ることができる。

【0052】以上の図1～図4の構成においては、比較参照電圧として接地電位や電源電位を想定しているが、これらに限ることなく、任意の電圧を比較参照電圧として用いることができる。

【0053】なお、電流源I1、I2は、同一抵抗値の抵抗ペアに置き換えるても同じ効果が得られる。

【0054】図5は本発明の第3の実施の形態にかかる基板バイアス調整回路の概略構成を示すブロック図である。

【0055】図5に示すように、一般に基板バイアス対象の回路10に対し、チャージポンプ回路13によりバイアスがかけられるが、図1および図3に示した電圧比較回路11によりPウェル電位がNチャネルMOSトランジスタのソース電位である接地電位(0V)よりも高いかどうかを比較し、その結果、Pウェル電位が接地電位よりも高いと判定されたときには非常時バイアス回路12を作動させ、基板のバイアス電圧を接地電位に強制的に引き下げるようしている。

【0056】図6は図5と同様な基板バイアス調整回路の概略構成を示すブロック図である。この図においては、基板バイアス対象の回路20に対してチャージポンプ回路23により与えられる基板バイアスは電源電位VDD以上の電圧となっており、図2および図4に示した電圧比較回路21ではNウェル電位がPチャネルMOSトランジスタのソース電位である電源電位(VDD)よりも低いかどうかを比較し、その結果、Nウェル電位が電源電位よりも低いと判定されたときには非常時バイアス回路22を作動させ、基板のバイアス電圧を電源電位に接地電位に強制的に引き上げるようしている。

【0057】これら図5および図6における非常時バイアス回路は公知のあらゆる電位引き下げ手段あるいは引き上げ手段を用いることができる。

【0058】

【発明の効果】以上のように、本発明にかかる電圧比較回路によれば、レベル変換手段や複数の電源を用いることなく、特に接地電位や電源電位近傍の電圧を正確に比較できる。

【0059】また、出力ノードと対をなすトランジスタの対応ノードにおける電圧を差動増幅器で比較するようにした形態では、上述した効果の他にデバイスの製造ばらつきや温度変化の影響が打ち消され、より高精度の比較が可能となる。

【0060】さらに、本発明にかかるバイアス調整回路では、上述した電圧比較回路の出力に基づいて基板バイアスが正常値と差があると判定されたときには強制的に正常値に一致させるようにしているので、常に正常な基板バイアス値を保つことができ、回路動作の安定化を図ることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態にかかる電圧比較回

路の構成を示す回路図である。

【図2】図1の構成においてトランジスタの導電型と電圧関係を反転させた構成を示す回路図である。

【図3】本発明の第2の実施の形態にかかる電圧比較回路の構成を示す回路図である。

【図4】図3の構成においてトランジスタの導電型と電圧関係を反転させた構成を示す回路図である。

【図5】本発明にかかる電圧比較回路を用いた本発明にかかるバイアス調整回路の構成を示すブロック図である。

【図6】図5と同様の回路であって、基板バイアスが電源電位を基準として行われる場合を示すブロック図である。

【図7】従来のレベル変換を伴う電圧比較回路の例を示す回路図である。

【図8】従来の複数の電源を用いる電圧比較回路の例を示す回路図である。

【図9】従来のしきい値を用いた電圧比較回路の例を示す回路図である。

【符号の説明】

10, 20 基板バイアス対象回路

11, 21 電圧比較回路

12, 22 非常時バイアス回路

13, 23 チャージポンプ回路

I1, I2, I11, I12 電流源

I100, I110, I121, I122 定電流源

M1, M2, M13, M14, M101, M102, M111, M112, M130 NチャネルMOSトランジスタ

M3, M4, M11, M12 PチャネルMOSトランジスタ

R101, R102, R111, R112, R121,

R122, R130 抵抗

S1, S2 バッファ

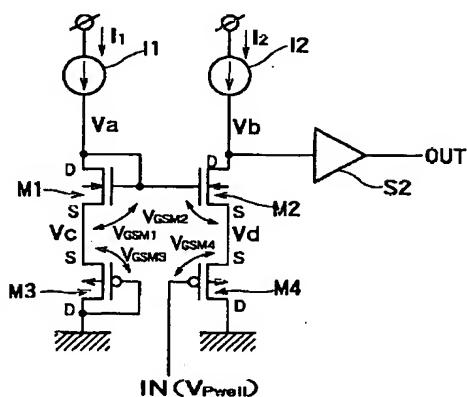
S3 差動増幅器

IN 入力端子

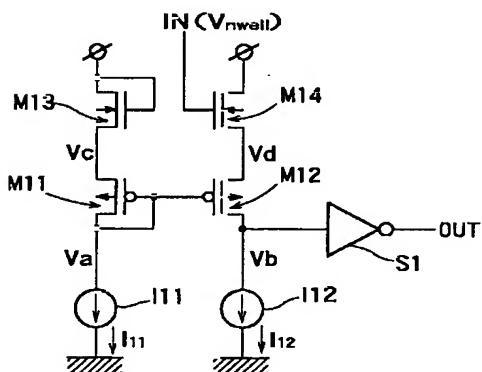
Vref 参照電圧

OUT 出力端子

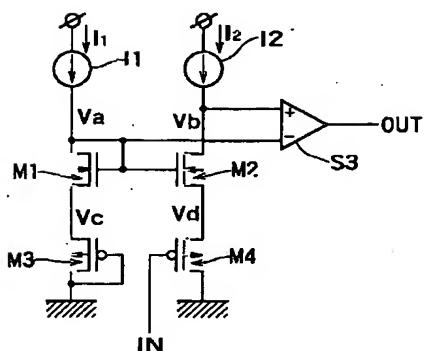
【図1】



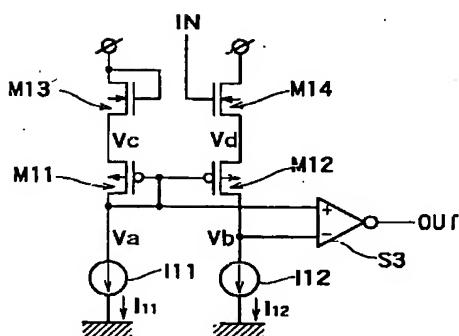
【図2】



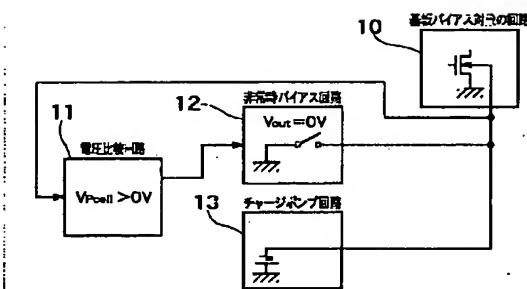
【図3】



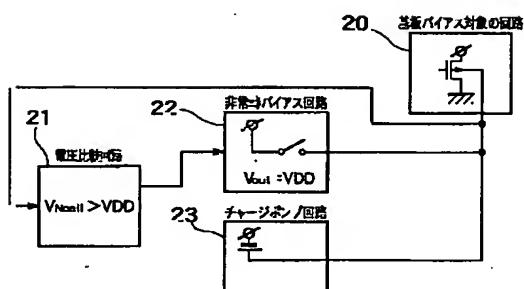
【図4】



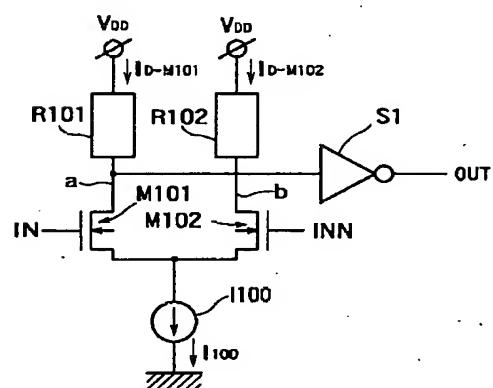
【図5】



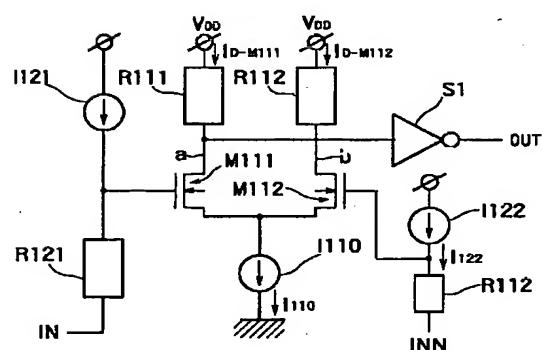
【図6】



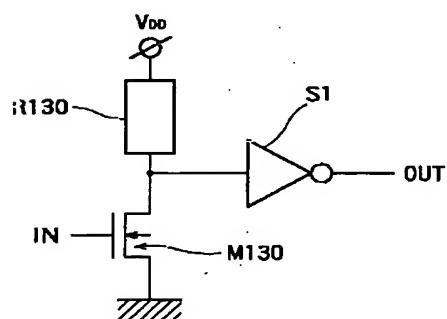
【図7】



【図8】



【図9】



(9) 001-217692 (P2001-217692A)

フロントページの続き

Fターム(参考) 2G035 AA17 AA20 AB02 AC16 AD03
AD10 AD23
5J039 DA10 DB05 KK16 KK18 MM01
MM02
5J056 AA00 BB28 BB38 BB40 CC01
DD13 DD29 EE04 FF08 HH01
HH02